

연습문제

5.1 래치

1. 2입력 게이트에 대한 설명 중 잘못된 것은?

- ① OR 게이트의 입력 중 하나가 1이면, 출력은 0이다.
- ② NAND 게이트의 입력 중 하나가 0이면, 출력은 1이다.
- ③ AND 게이트의 입력 중 하나가 1이면, 출력은 다른 나머지 입력과 같다.
- ④ NAND 게이트의 입력 중 하나가 1이면, 출력은 다른 나머지 입력과 같다.

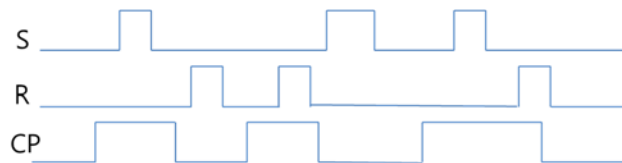
2. NOR 래치의 입력으로 사용할 수 없는 조합은?

- ① S=0, R=0
- ② S=0, R=1
- ③ S=1, R=0
- ④ S=1, R=1

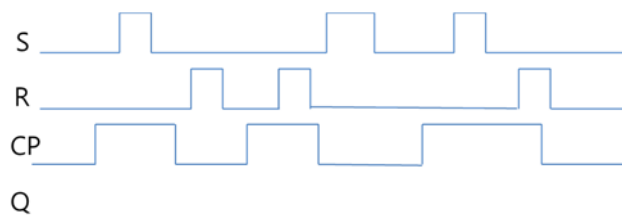
3. NAND 래치의 입력으로 사용할 수 없는 조합은?

- ① S=0, R=0
- ② S=0, R=1
- ③ S=1, R=0
- ④ S=1, R=1

4. 클럭 제어 SR 래치의 입력이 다음과 같을 때, 출력 Q의 파형을 그려라. 단 출력(Q)의 초기값을 0으로 가정한다.



정답:



5.2 플립플롭

1. 조합 논리회로와 순차 논리회로의 구조적 차이점을 올바르게 표현한 것은?

- ① 순차 논리회로는 피드백 경로가 없다.
- ② 순차 논리회로는 기억소자를 포함한다.
- ③ 순차 논리회로는 멀티플렉서를 포함한다.
- ④ 순차 논리회로는 입력 신호의 조합에 의해 출력이 결정된다.

2. 순차 논리회로에서 상태(state)를 올바르게 표현한 것은?

- ① 순차 논리회로에 포함된 기억소자의 현재 값이다.
- ② 순차 논리회로에 포함된 입력 신호의 현재 값이다.
- ③ 순차 논리회로에 포함된 출력 신호의 현재 값이다.
- ④ 순차 논리회로에 포함된 논리 게이트의 현재 값이다.

3. 플립플롭의 셋업(setup) 시간은?

- ① 클럭 에지 이후에 출력이 지연되어 나타나는 시간
- ② 클럭 에지가 낮은 레벨에서 높은 레벨로 변하는 시간
- ③ 클럭 에지보다 입력 신호가 먼저 안정되어야 하는 시간
- ④ 클럭 에지 이후에 입력 신호가 변하지 않고 유지되어야 하는 시간

4. 거시적으로 해석할 때 플립플롭의 동작을 올바르게 설명하는 것을 선택하라.

- 클럭 신호가 인가되는 시점의 (직전, 직후)의 입력 신호에 따라,
- 클럭 신호가 인가되는 시점의 (직전, 직후)의 출력이 변한다.

5. 다음은 SR-플립플롭의 동작 특성표이다. 잘못된 해석은?

CP	S	R	Q
↑	0	0	Q
↑	0	1	0
↑	1	0	1
↑	1	1	NA

- ① 클럭의 상승 에지가 아닌 때는 출력이 변하지 않는다.
- ② 클럭의 상승 에지에서 S=1이고 R=0이면 출력이 1로 세트된다.
- ③ 클럭의 상승 에지에서 S=0이고 R=0이면 출력이 변하지 않는다.
- ④ 클럭의 상승 에지에서 S=1이고 R=1이면 출력이 반대 값으로 변한다.

7. 그림과 같이 JK-플립플롭의 J와 K를 연결하여 하나의 입력으로 사용하면 이것은 다음 중 어느 것과 동등한가?

- ① D-플립플롭
- ② SR-플립플롭
- ③ JK-플립플롭
- ④ T-플립플롭

