

# 순차논리소자

Jo, Heeseung

# 5.1 래치

---

래치(걸쇠, latch)

- 제어 입력에 따라 0 또는 1 상태를 유지하는 기억 소자

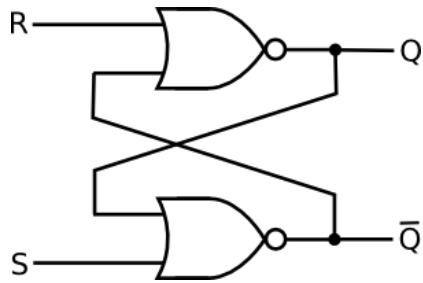
내용

- 5.1.1 NOR 래치
- 5.1.2 NAND 래치
- 5.1.3 클럭 제어 래치

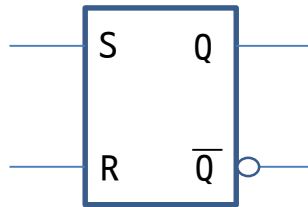
# 5.1.1 NOR 래치

R : Reset, 0

S : Set, 1

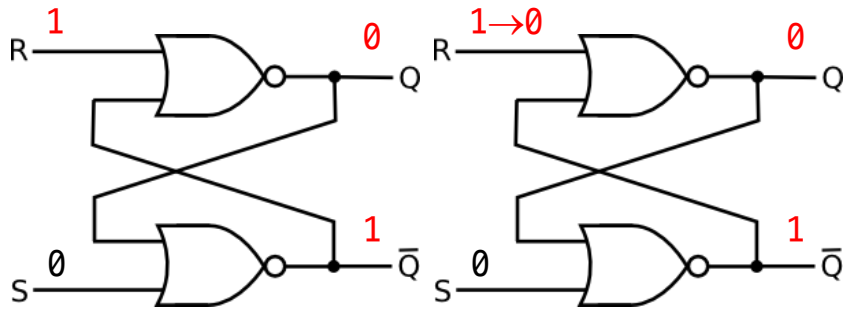


(a) NOR 래치 구조



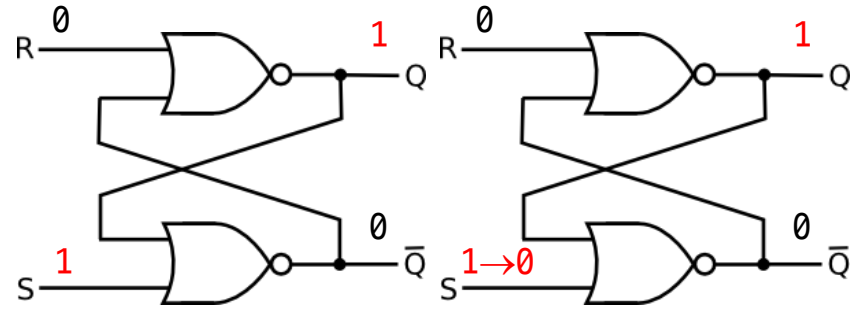
(b) 블록도

S	R	Q	동작 설명
0	0	$Q_0$	
0	1	0	
1	0	1	
1	1	NA	



(a) 리셋

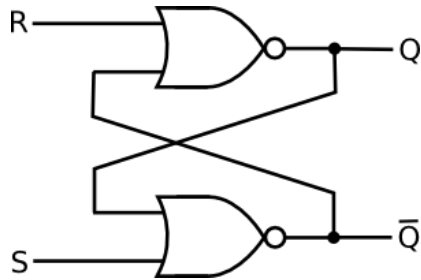
(b) 리셋 유지



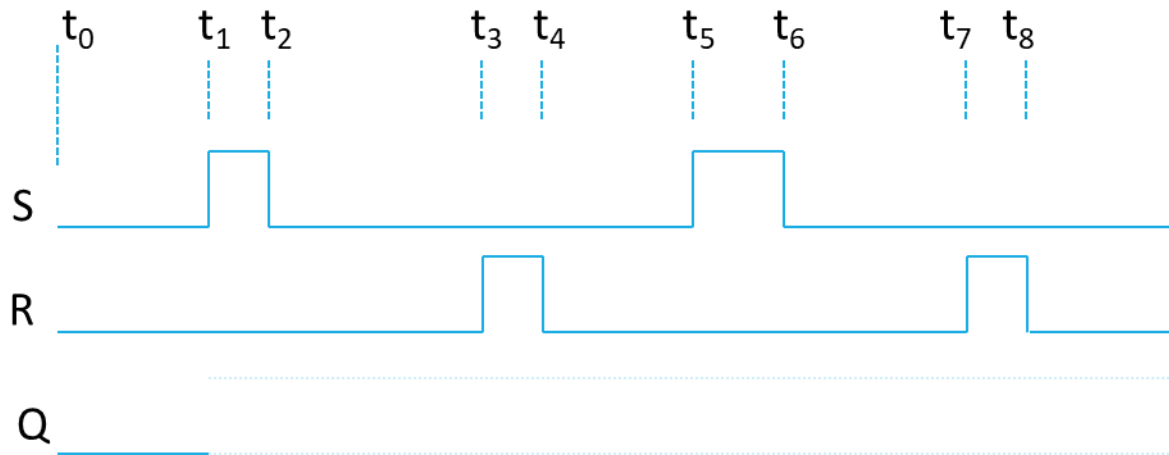
(c) 셋

(d) 셋 유지

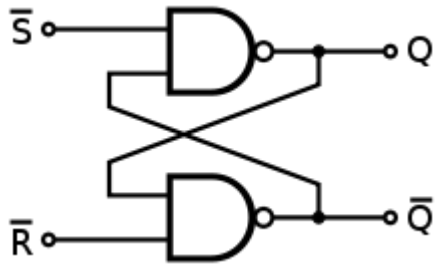
# NOR 래치 동작 예



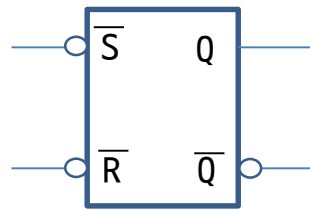
S	R	Q	동작 설명
0	0	$Q_0$	유지
0	1	0	리셋
1	0	1	셋
1	1	NA	사용 불허



# 5.1.2 NAND 래치

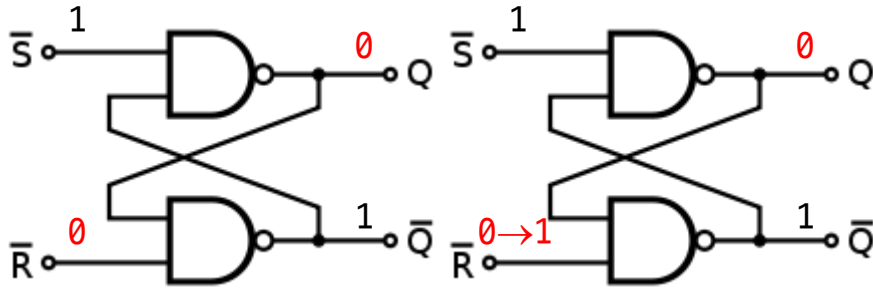


(a) NAND 래치 구조



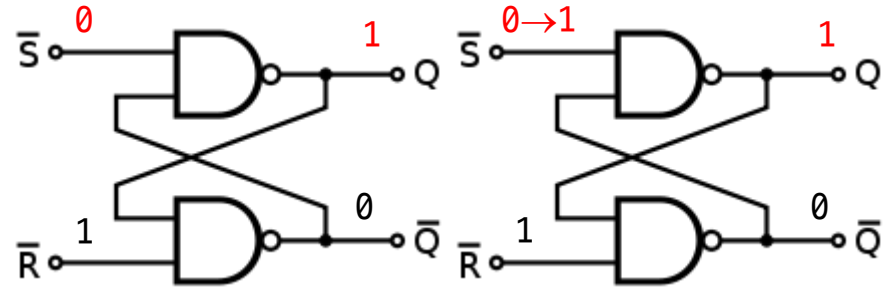
(b) 블록도

/S	/R	Q	동작 설명
1	1	$Q_0$	
1	0	0	
0	1	1	
0	0	NA	



(a) 리셋

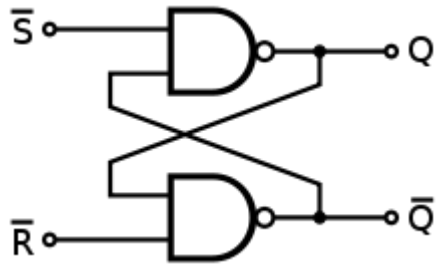
(b) 리셋 유지



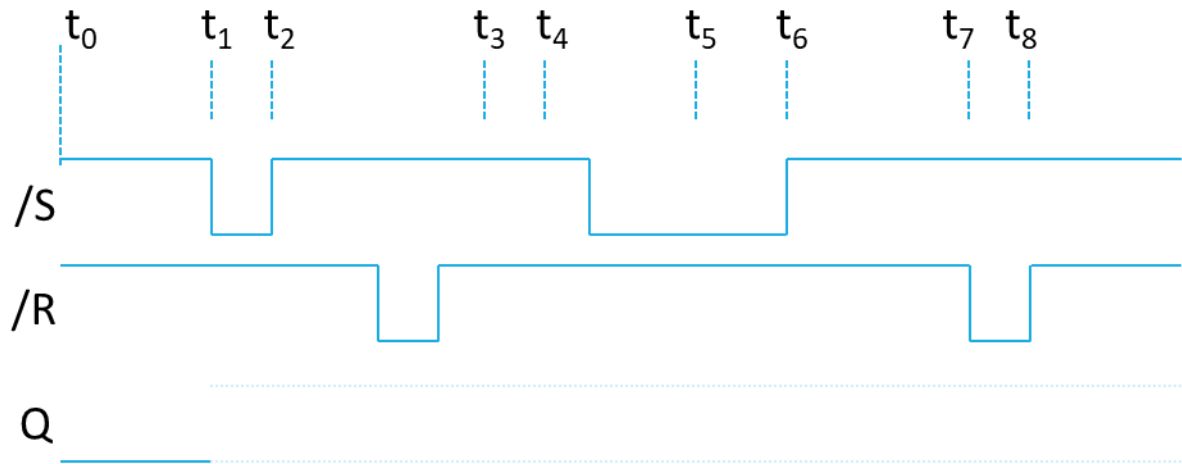
(c) 셋

(d) 셋 유지

# NAND 래치 동작 예

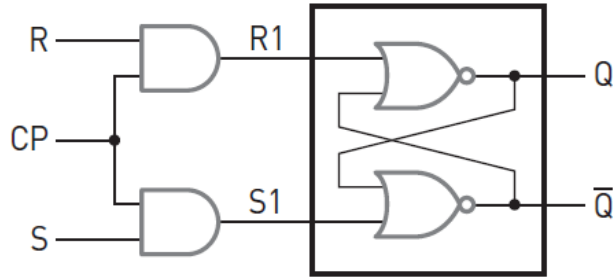


/S	/R	Q	동작 설명
1	1	$Q_0$	유지
1	0	0	리셋
0	1	1	셋
0	0	NA	사용 불허

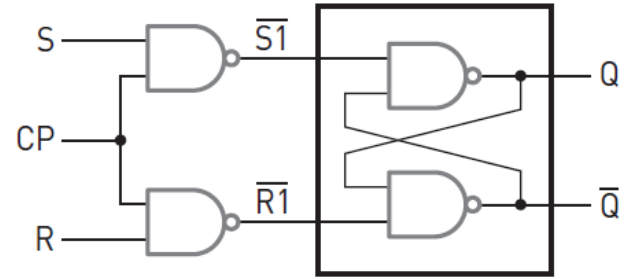


# 5.1.3 클럭 제어 래치

CP(Clock Pulse)가 1일때만 동작



(a) 클럭 제어 NOR 래치

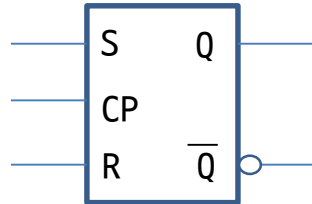


(b) 클럭 제어 NAND 래치

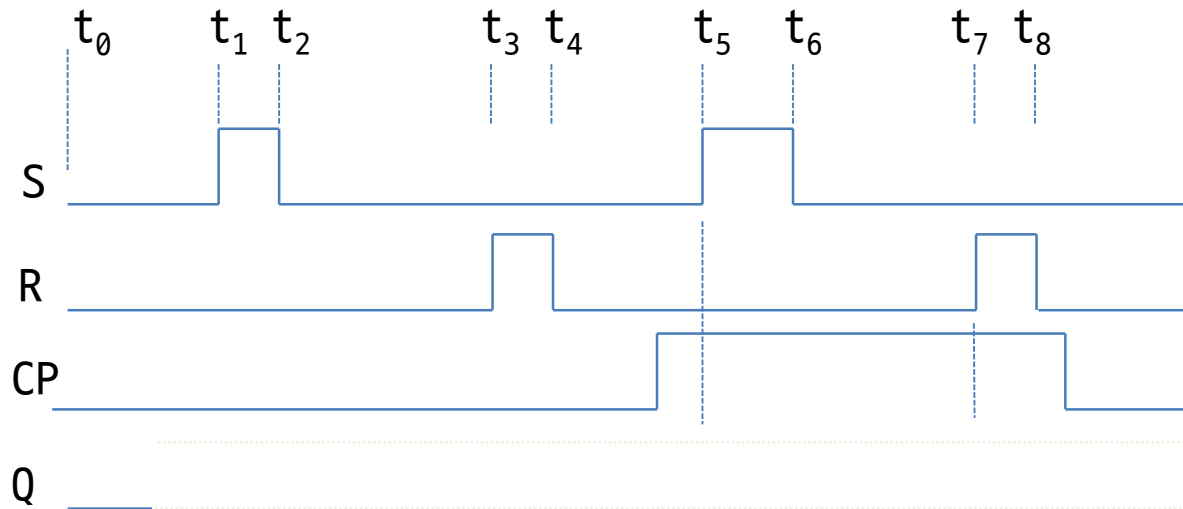
CP	S	R	S1	R1	Q
0	x	x			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

CP	S	R	/S1	/R1	Q
0	x	x			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

# 클럭 제어 SR latch의 동작



CP	S	R	Q
0	x	x	$Q_0$
1	0	0	$Q_0$
1	0	1	0
1	1	0	1
1	1	1	사용 불허





## 5.1 래치 요약

---

### 래치

- 한 비트 데이터를 저장하는 기억 소자
- NOR 래치
- NAND 래치

### 클럭 제어 래치

- 클럭 펄스가 1일 때만 래치로 동작

## 5.2 플립플롭

### 래치와 플립플롭

- 래치: 클럭의 높은 레벨에서 출력 변경
- 플립플롭: 클럭 에지에서 출력 변경

### 학습 목표

- 플립플롭의 동작 원리를 설명할 수 있다
- 클럭 펄스와 비동기 리셋 신호에 따른 플립플롭의 출력을 해석할 수 있다

### 내용

- 5.2.1 클럭 펄스
- 5.2.2 플립플롭
- 5.2.3 플립플롭 종류
- 5.2.4 비동기 리셋 입력

## 5.2.1 클럭 펄스

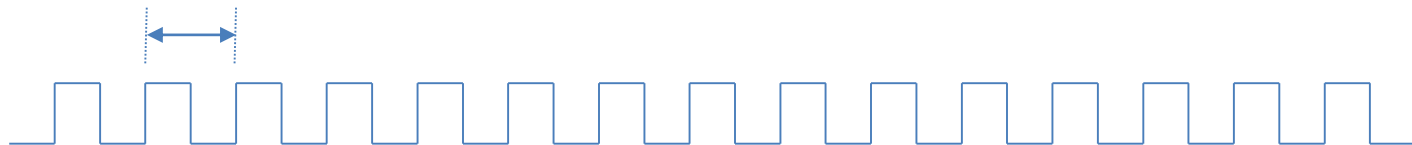
### 발진기 (oscillator)

- 디지털 시스템에 클럭 펄스를 공급하는 소자

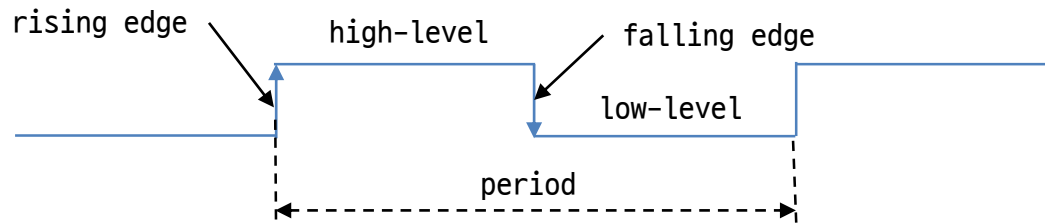
### 클럭 펄스

- 0과 1을 무한 반복하는 신호
- 주기(period): 한 개의 구간
  - 단위는 시간, 초(second)
- 주파수(frequency) =  $1/\text{주기 Hz}$

주기(period)

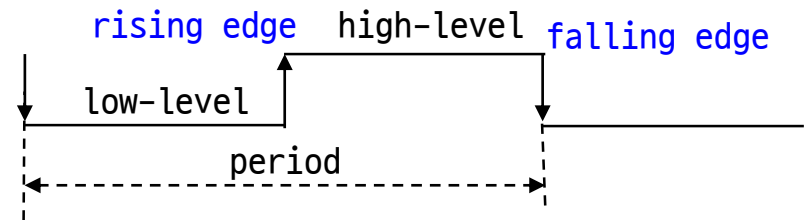
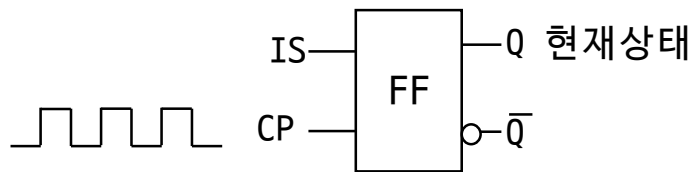


(a) 클럭 펄스



(b) 한 주기

## 5.2.2 플립플롭



플립플롭의 일반 형태와 클럭 펄스(CP)

클럭 펄스의 한 주기

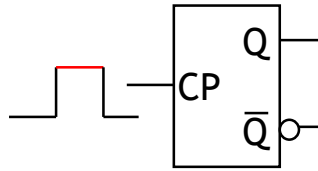
### 플립플롭(flip-flop)

- 한 비트의 값을 저장하는 기억 소자
- $0 \leftrightarrow 1$ 로 값이 변하는 모습
- 출력 2개: Q, Q' (항상 반대 값)

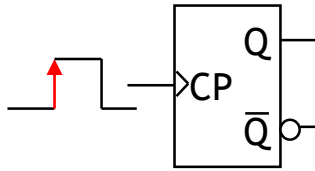
### 플립플롭의 동작을 결정하는 요인

- 출력 변경 시간(타이밍): 클럭 펄스에 의해 결정
- 입력 신호: 종류와 값에 따라 출력 값(다음상태, next state) 결정

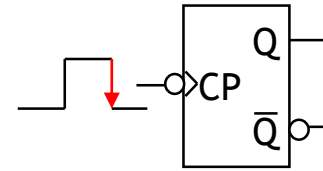
# 플립플롭 동작 타이밍



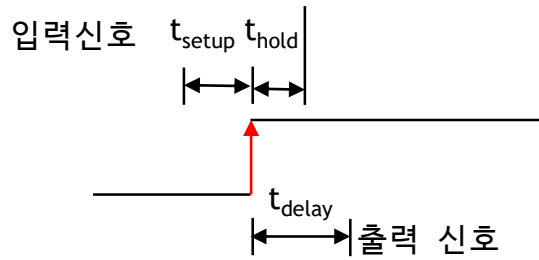
(a) Latch or Level Trigger



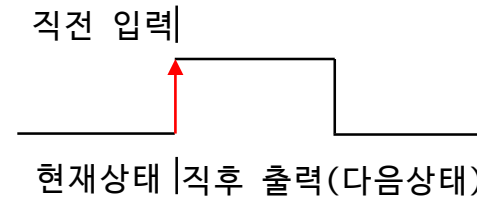
(b) Positive Edge Trigger



(c) Negative Edge Trigger



(a) 미시적 관점



(b) 거시적 관점

플립플롭의 **현재상태(current state)**는

- 클럭이 인가되기 직전 입력 신호의 값에 따라
- 클럭이 인가된 직후에 **다음상태(next state)**로 변함

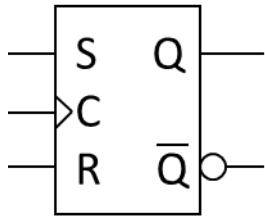
## 5.2.3 플립플롭 종류

### 플립플롭 종류

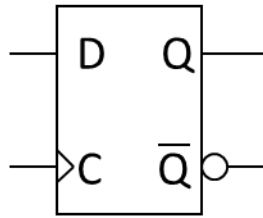
- SR-FF, D-FF, JK-FF, T-FF

### 동작 타이밍

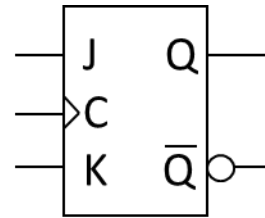
- 상승 에지 플립플롭과 하강 에지 플립플롭
- 상승 에지 플립플롭으로 설명



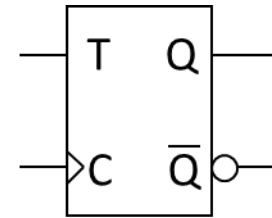
(a) SR-FF



(b) D-FF



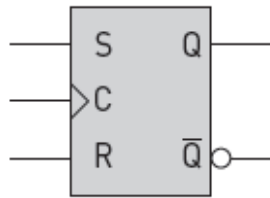
(c) JK-FF



(d) T-FF

# SR-플립플롭

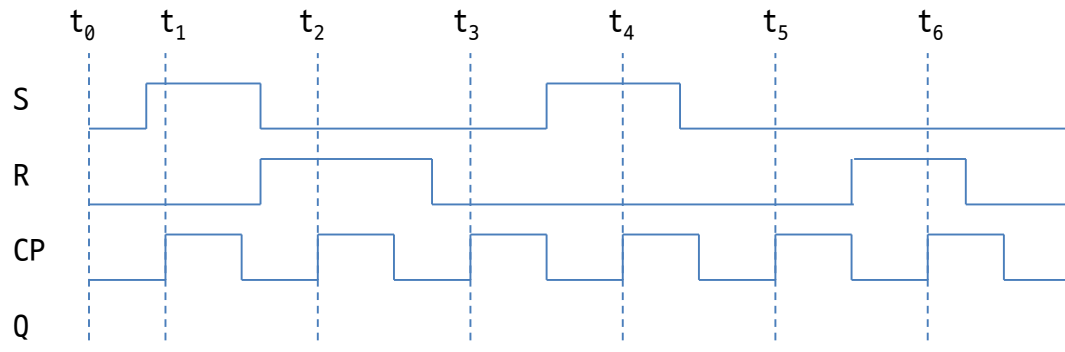
Set Reset으로 값을 설정



[그림 5-13] SR-플립플롭

SR-FF 특성표

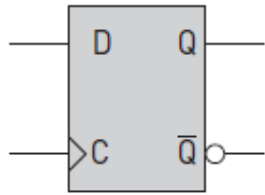
CP	S	R	다음상태 Q	설명
↑	0	0		
↑	0	1		
↑	1	0		
↑	1	1		



# D-플립플롭

Data로 값을 설정

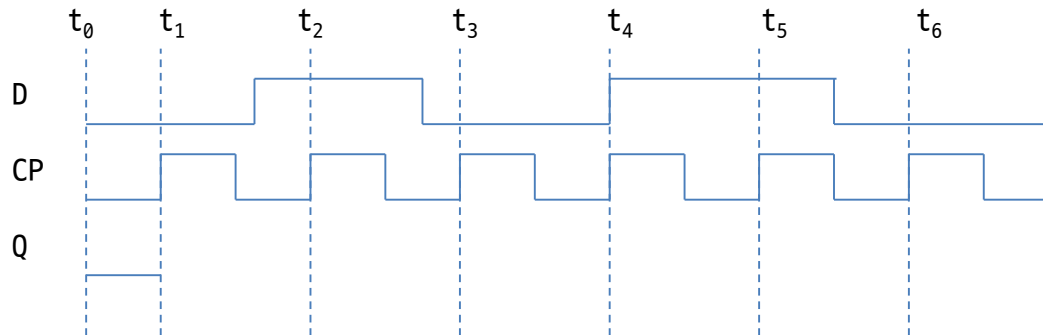
- CP일때 반응 -> Delay되는 효과



[그림 5-15] D-플립플롭

D-FF 특성표

CP	D	다음상태 Q	설명
↑	0		
↑	1		

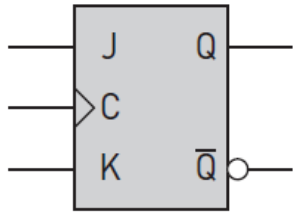




# JK-플립플롭

J(Set) K(Reset)으로 값을 설정

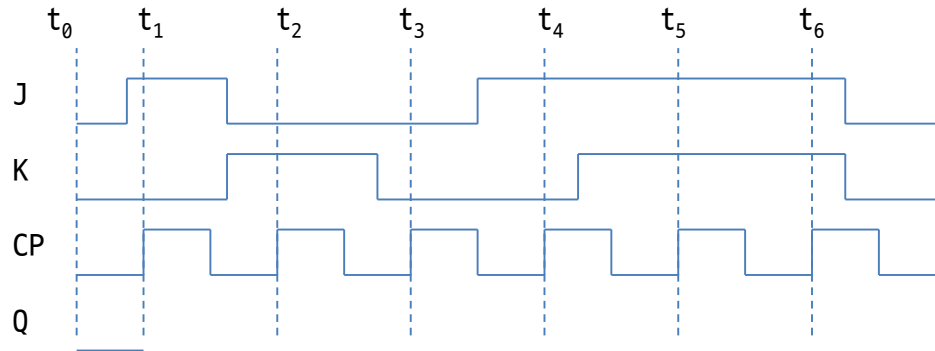
- J=1, K=1을 허용 : 값을 반전



[그림 5-17] JK-플립플롭

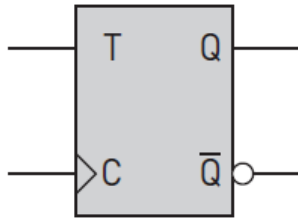
JK-FF 특성표

CP	J	K	다음상태 Q	설명
↑	0	0		
↑	0	1		
↑	1	0		
↑	1	1		



# T-플립플롭

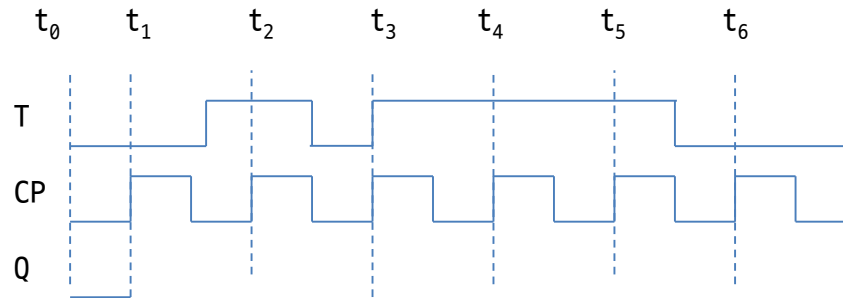
Toggle로 값을 반전



[그림 5-19] T-플립플롭

T-FF 특성표

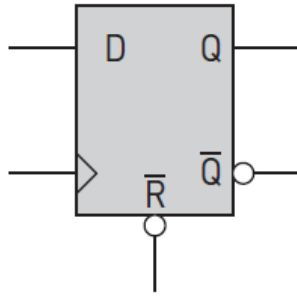
CP	T	다음상태 Q	설명
↑	0		
↑	1		



## 5.2.4 비동기 리셋 입력

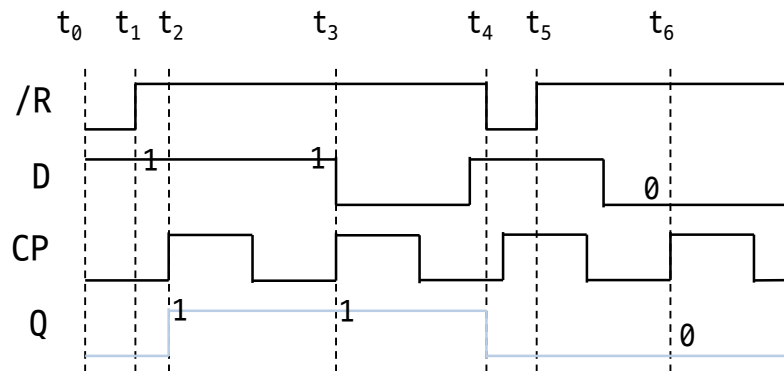
### 플립플롭 제어 신호

- 동기(synchronous): 클럭 신호에 맞춰 동작
- 비동기(asynchronous): 클럭과 관계없이 동작

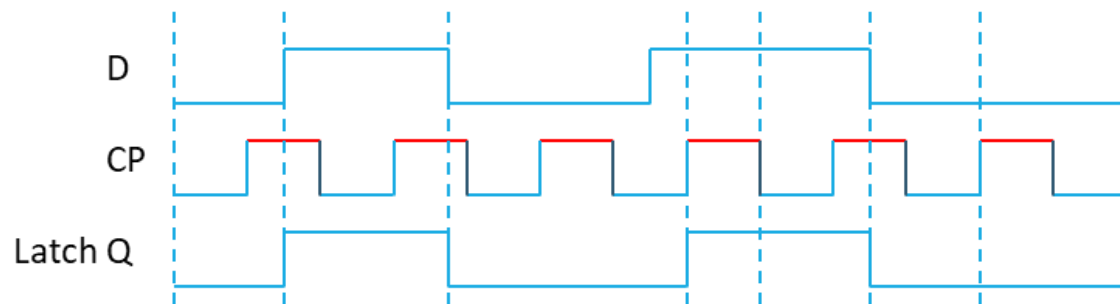
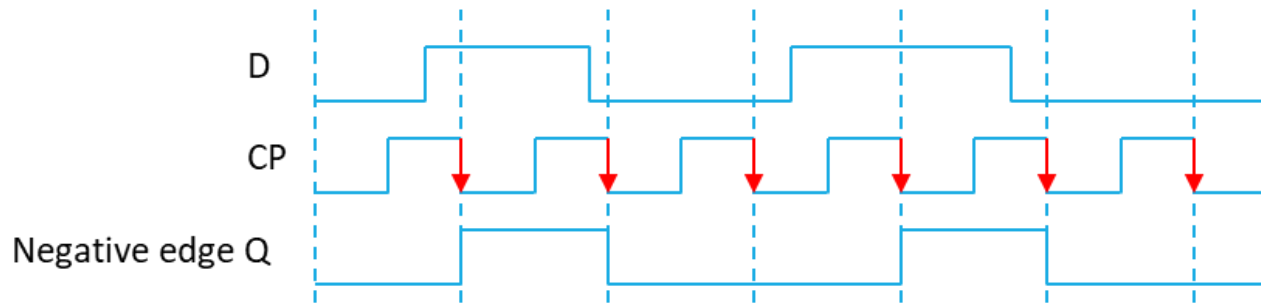
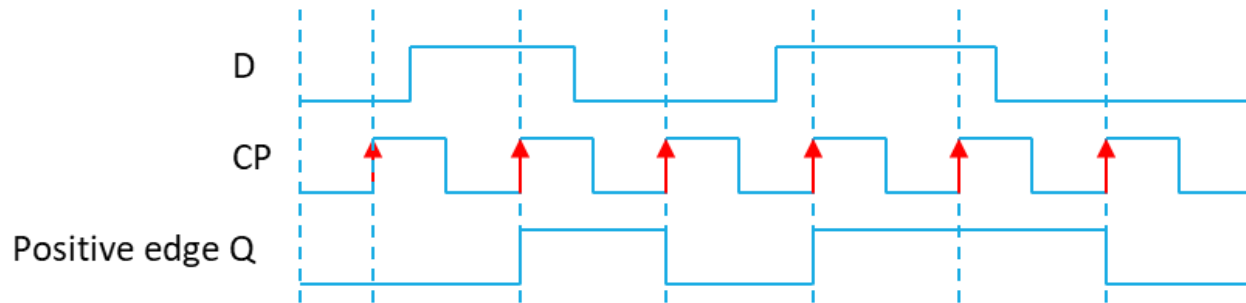


/R	CP	D	Q	설명
0	x	x	0	비동기 리셋
1	↑	0	0	클리어
1	↑	1	1	세트

[그림 5-21] 리셋 기능이 있는 D-플립플롭



# [예제 5-2] 래치와 플립플롭 출력 비교



## 5.2 플립플롭 요약

### 플립플롭

- 클럭 펄스의 에지에서 출력이 변하는 기억소자
- 출력:
  - 클럭펄스가 인가되는 직전 입력 신호의 값에 따라 클럭펄스가 인가된 직후에 출력이 변경

### 입력 신호에 따른 플립플롭 종류

- SR-FF: 세트, 리셋
- D-FF: Data 세트
- JK-FF: 세트, 리셋, 토글
- T-FF: 토글

### 비동기 리셋 입력

- 클럭 펄스와 관계없이 플립플롭의 출력을 0으로 만듦

## 5.4 요약

---

### 5.1 래치

- NOR Latch, NAND latch
- Gated SR Latch

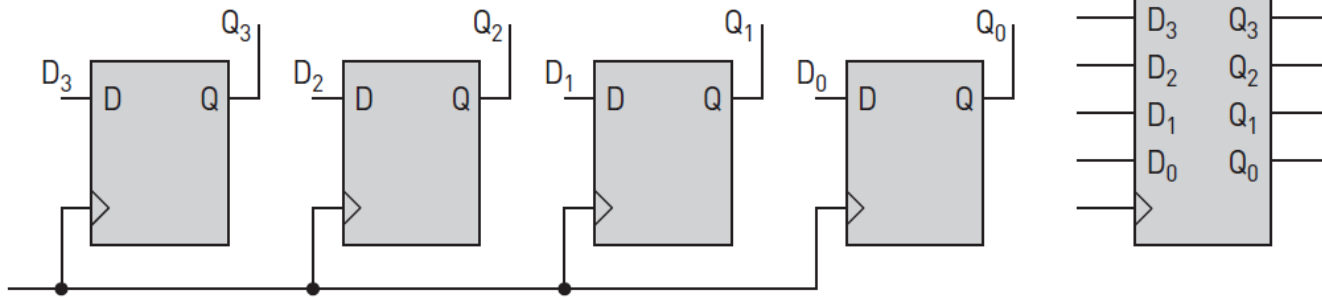
### 5.2 플립플롭

- 클록 직전 입력 값에 따라 클록 직후 출력 변화
- SR-FF, D-FF, JK-FF, T-FF
- 비동기 리셋: 출력 초기화

# 레지스터

## 레지스터(register)

- 여러 비트의 이진 정보를 저장하는 소자
- 클럭을 공유하여 동시에 동작



[그림 5-23] 4비트 레지스터

# Example



## 삼성전자 DDR5-4800

삼성전자 / 데스크탑 / DDR5 / DIMM / 8(GB) / 4800(MHZ), PC5-38400 /